

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037163

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H01L 21/768
H01L 21/3065
H01L 21/316

(21)Application number : 2001-223328

(71)Applicant : SHARP CORP

(22)Date of filing : 24.07.2001

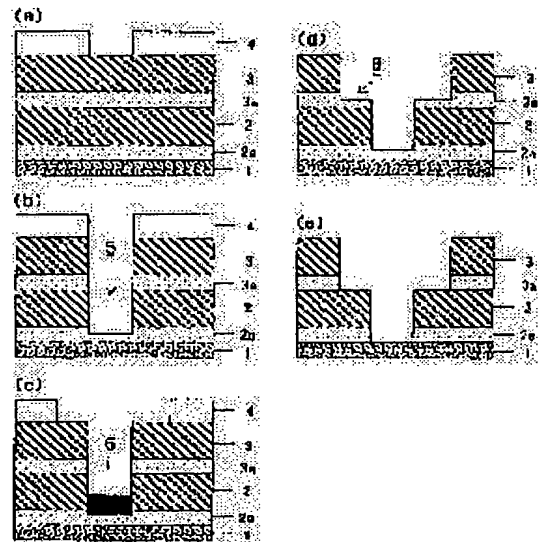
(72)Inventor : UMEMOTO TAKESHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a low electrical resistance and its manufacturing method to reduce an interlayer capacitance and realize etching with a less reaction product, by determining the etching end point not by using a high selection ratio, but by more precisely controlling the detection of etching end point.

SOLUTION: The semiconductor device has a lower layer interconnection, an interlayer insulating film with a connection hole that reaches the lower layer interconnection, and an upper layer interconnection buried in the interlayer insulating film. The interlayer insulating film is formed by stacking an insulating film that includes impurities for the first etching end point detection, an insulating film that includes impurities for the second etching end point detection and a second insulating film in order.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-37163

(P2003-37163A)

(43)公開日 平成15年2月7日(2003.2.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L	21/768	H 0 1 L 21/316	X 5 F 0 0 4
	21/3065	21/90	A 5 F 0 3 3
	21/316	21/302	M 5 F 0 5 8
			E

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号 特願2001-223328(P2001-223328)

(22)出願日 平成13年7月24日(2001.7.24)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 梅本 武

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100065248

弁理士 野河 信太郎

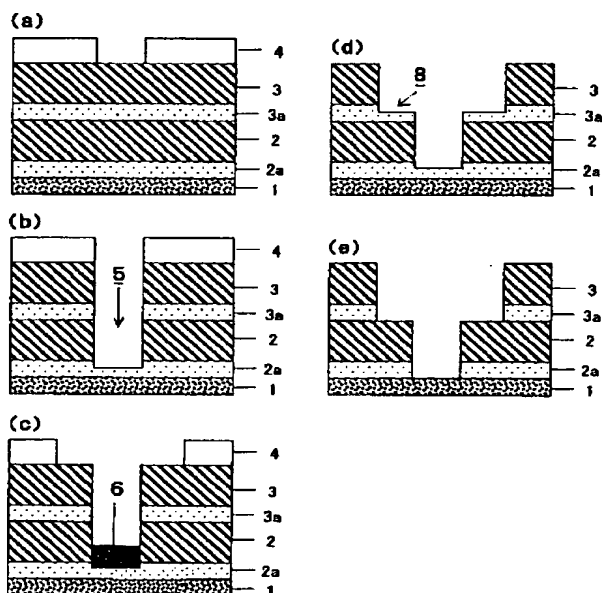
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】層間容量を低減させるとともに、高選択比を利用したエッチングストップではなく、終点検出をより精度よく制御してエッチングを止めることができ、反応生成物の少ないエッチングを可能として、電気抵抗の低い配線を有する半導体装置及びその製造方法を提供することを目的とする。

【解決手段】下層配線層、該下層配線層に至る接続孔が形成された層間絶縁膜、該層間絶縁膜内に埋設された上層配線層を有する半導体装置であって、前記層間絶縁膜が、第1のエッチング終点検出用の不純物を含む絶縁膜、第1の絶縁層、第2のエッチング終点検出用の不純物を含む絶縁膜、第2の絶縁層がこの順に積層されている半導体装置。



1

【特許請求の範囲】

【請求項 1】 下層配線層、該下層配線層に至る接続孔が形成された層間絶縁膜、該層間絶縁膜内に埋設された上層配線層を有する半導体装置であって、前記層間絶縁膜が、第 1 のエッチング終点検出用の不純物を含む絶縁膜、第 1 の絶縁層、第 2 のエッチング終点検出用の不純物を含む絶縁膜、第 2 の絶縁層がこの順に積層されてなることを特徴とする半導体装置。

【請求項 2】 第 1 の絶縁層と第 2 の絶縁層とが、酸化シリコン膜からなる請求項 1 に記載の半導体装置。

【請求項 3】 第 1 のエッチング終点検出用の不純物を含む絶縁膜と第 2 のエッチング終点検出用の不純物を含む絶縁膜とが、リンシリケートガラスからなる請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 下層配線層の上に、第 1 のエッチング終点検出用の不純物を含む絶縁膜、第 1 の絶縁層、第 2 のエッチング終点検出用の不純物を含む絶縁膜、第 2 の絶縁層をこの順に形成する工程と、

前記第 2 の絶縁層の表面から第 1 のエッチング終点検出用の不純物を含む絶縁膜に至る接続孔をエッチングにより形成する工程と、

該接続孔の底部に保護膜を形成する工程と、

前記第 2 の絶縁層の表面から第 2 のエッチング終点検出用の不純物を含む絶縁膜に至り、かつ前記接続孔に繋がる溝をエッチングにより形成する工程と、

前記接続孔及び溝に導電材料を埋め込む工程からなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、より詳細には、層間絶縁膜の少なくとも一部に窒化シリコンよりも比誘電率が低く、かつエッチング終点検出可能な不純物を含む絶縁膜を用いた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】半導体装置が微細化かつ高集積化されるにつれ、内部配線の微細化及び多層化が進んでいる。これに伴い、層間絶縁膜の平坦化技術やドライエッチング等の微細加工に対する要求は厳しくなっている。そこで、これらの要求に応えるために、埋め込み配線技術が検討されている。この埋め込み配線技術では、層間絶縁膜に配線パターンの溝を形成し、この溝内を配線材料で埋め込んだ後、溝内以外の部分の配線材料を除去して溝内にのみ配線材料を残す。これにより、配線部分が層間絶縁膜に埋め込まれた形状で形成されるため、従来の多層金属配線技術よりも層間絶縁膜の平坦化に有利であり、また従来の R I E (Reactive Ion Etching: 反応性イオンエッチング) 法による加工が困難であった銅 (Cu) 配線が可能となる。Cu 配線は低抵抗で高信頼性のため、次世代の配線材料として注目されている。

2

【0003】このような埋め込み配線技術では、通常、層間絶縁膜中にエッチングストッパー膜が堆積されており、このエッチングストッパー膜に対して選択比が大きい条件でエッチングすることにより、層間絶縁膜に埋め込み配線の溝や接続孔が形成される。エッチングストッパー膜としては、例えば SiO₂ 系の層間絶縁膜の場合、窒化シリコン膜が用いられている。しかし、窒化シリコン膜は、その比誘電率が、SiO₂ 系の約 4 に比較して約 7 と非常に大きく、層間絶縁膜全体の比誘電率を大きくする。その結果、信号遅延や消費電力の増大につながる等の不具合を生じることがわかっている。

【0004】そこで、例えば、特開平 10-150105 号公報には、層間絶縁膜の容量を低減する目的でエッチングストッパー膜として窒化シリコン膜よりも比誘電率が低い、フッ素を含有する有機低誘電率膜を用いる方法が提案されている。この方法によれば、図 3 (a) に示すように、半導体基板 11 上に層間絶縁膜の一部としてモノシランと酸素ガスを原料ガスに用いた CVD 法により、酸化シリコンからなる下地絶縁膜 12 を形成し、その上に、窒化シリコンよりも比誘電率が低い有機低誘電率膜 13 を、例えば回転塗布により形成し、その上に、下地絶縁膜 12 と同様のシリコン酸化膜からなる絶縁膜 14 及び有機低誘電率膜 13 と同様に有機低誘電率膜 15 を形成する。

【0005】次に、有機低誘電率膜 15 の上にレジスト膜 (図示せず) を形成し、フォトリソグラフィ工程により、そのレジスト膜をパターニングして埋め込み配線用の溝を形成する領域上に開口部を形成する。このレジスト膜をマスクとして用いて、図 3 (b) に示すように、有機低誘電率膜 15 をエッチングし、続いて絶縁膜 14 をエッチングして有機低誘電率膜 15 と絶縁膜 14 とに埋め込み配線用の溝 16 を形成する。続いて、図 3 (c) に示すように、ダマシン法により溝 16 内に配線層 17 を形成する。

【0006】次いで、図 3 (d) に示すように有機低誘電率膜 15 及び配線層 17 上の全面に、下地絶縁膜 12 及び絶縁膜 14 と同様のシリコン酸化膜からなる絶縁膜 18 を形成する。絶縁膜 18 の上にレジスト膜 (図示せず) を形成し、フォトリソグラフィ工程により、そのレジスト膜をパターニングして配線層 17 に対する接続孔を形成する領域上に開口部を形成する。このレジスト膜をマスクとして用いて、図 3 (e) に示すように、絶縁膜 18 をエッチングし、絶縁膜 18 に配線層 17 に達する接続孔 19 を形成する。さらに、図 3 (f) に示すように、接続孔 19 内に、例えばタングステンからなるプラグ 20 を埋め込む。その後、絶縁膜 18 上にプラグ 20 に接続するパターンで上層配線を形成する。

【0007】

【発明が解決しようとする課題】しかし、上記のように、層間容量を低減する目的でフッ素を比較的多く含有

3

した有機低誘電率膜をエッチングストッパー膜として用いた場合、層間絶縁膜のエッチング時に、少なからず溝及び接続孔底部において反応生成物が生じ、その反応生成物により、配線の電気抵抗を増大させるという課題がある。本発明は上記課題に鑑みなされたもので、層間容量を低減させるとともに、高選択比を利用したエッチングストップではなく、終点検出をより精度よく制御してエッチングを止めることができ、反応生成物の少ないエッチングを可能として、電気抵抗の低い配線を有する半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明によれば、下層配線層、該下層配線層に至る接続孔が形成された層間絶縁膜、該層間絶縁膜内に埋設された上層配線層を有する半導体装置であって、前記層間絶縁膜が、第1のエッチング終点検出用の不純物を含む絶縁膜、第1の絶縁層、第2のエッチング終点検出用の不純物を含む絶縁膜、第2の絶縁層がこの順に積層されてなる半導体装置が提供される。また、本発明によれば、下層配線層の上に、第1のエッチング終点検出用の不純物を含む絶縁膜、第1の絶縁層、第2のエッチング終点検出用の不純物を含む絶縁膜、第2の絶縁層をこの順に形成する工程と、前記第2の絶縁層の表面から第1のエッチング終点検出用の不純物を含む絶縁膜に至る接続孔をエッチングにより形成する工程と、該接続孔の底部に保護膜を形成する工程と、前記第2の絶縁層の表面から第2のエッチング終点検出用の不純物を含む絶縁膜に至り、かつ前記接続孔に繋がる溝をエッチングにより形成する工程と、前記接続孔及び溝に導電材料を埋め込む工程からなる半導体装置の製造方法が提供される。

【0009】

【発明の実施の形態】本発明の半導体装置は、主として、下層配線層、層間絶縁膜、上層配線層を有する。下層配線層としては、通常、半導体装置の配線層として利用されるものであればどのようなものであってもよく、半導体基板に形成される不純物拡散層、電極及び配線等の導電材料から形成されているものが挙げられる。具体的には、アルミニウム、銅、金、銀、ニッケル等の金属又は合金、タンタル、チタン、タングステン等の高融点金属又は合金、ポリシリコン、高融点金属とのシリサイド又はポリサイド等の単層又は積層膜が挙げられる。下層配線層上に形成される層間絶縁膜は、少なくとも、第1のエッチング終点検出用の不純物を含む絶縁膜、第1の絶縁層、第2のエッチング終点検出用の不純物を含む絶縁膜、第2の絶縁層がこの順に積層されて構成される。

【0010】第1のエッチング終点検出用の不純物を含む絶縁膜及び第2のエッチング終点検出用の不純物を含む絶縁膜は、後述する第1の絶縁膜及び第2の絶縁膜に

4

対するエッチングの終点を、それぞれ検出するための絶縁膜であるが、層間絶縁膜として機能することを考慮すると、誘電率が低い膜であることが好ましい。また、後述する第1の絶縁膜及び第2の絶縁膜に対する選択比が必ずしも大きくなくてもよい。これらの膜の材料は、エッチング終点の検出方法、後述する第1及び第2の絶縁膜の材料等に応じて適宜選択することができる。ここで、層間絶縁膜のエッチング終点の検出方法としては、エッチング中のガスの発光強度をモニタする方法等が挙げられる。

【0011】例えば、第1のエッチング終点検出用の不純物を含む絶縁膜及び第2のエッチング終点検出用の不純物を含む絶縁膜に含まれる不純物は、後述する第1及び第2の絶縁膜には含有されていない元素が好ましく、例えば、リン、砒素、ボロン、フッ素等が挙げられる。これらの不純物の濃度は、1.0～5.0モル%程度が挙げられる。また、不純物が含有される絶縁膜としては、誘電率が4程度以下のものが好ましく、具体的には、CVD法で形成されるSiO₂膜、SiOF系膜、SiOC系膜又はCF系膜の膜；塗布で形成されるSiOG系膜、HSQ (hydrogen silsesquioxane) 系膜（無機系）、MSQ (methyl silsesquioxane) 系膜、PAE (polyarylene ether) 系膜、BCB系膜等が挙げられる。第1及び第2のエッチング終点検出用の不純物を含む絶縁膜は、必ずしも同一膜でなくてもよい。なかでも、双方ともリンシリケートガラス膜であることが好ましい。これらの膜の膜厚は、特に限定されるものではないが、後述する第1及び第2の絶縁膜がオーバーエッチングされても、完全に除去されないような膜厚であることが必要である。具体的には、10～50nm程度が好ましい。

【0012】第1及び第2の絶縁膜は、通常、層間絶縁膜を構成する材料であれば特に限定されない。例えば、上述した絶縁膜と同様のものが挙げられる。なかでも、酸化シリコン膜が好ましい。これらの絶縁膜の膜厚は、特に限定されることはなく、層間絶縁膜全体として500～2000nm程度に調整することが好ましい。上層配線層は、通常、半導体装置の配線層として利用されるものであればどのようなものであってもよく、下層配線層として例示した材料と同様の材料から形成することができる。なお、上層配線層は、層間絶縁膜の表面に形成された溝内に埋設されるように形成されており、層間絶縁膜と上層配線層との上表面とは一致していることが好ましい。また、上層配線層が埋め込まれた溝内には、通常、下層配線層に至る接続孔が形成されており、接続孔にまで上層配線層が埋設されていてもよいし、接続孔には上層配線層とは別個にコンタクトプラグが形成されており、そのコンタクトプラグと接続されるように、上層配線層が形成されていてもよい。なお、コンタクトプラグは、通常、配線層を接続するために用いられる導電材

5

料の単層又は積層膜により形成することができる。

【0013】また、本発明の半導体装置の製造方法においては、まず、下層配線層の上に、第1のエッチング終点検出用の不純物を含む絶縁膜、第1の絶縁層、第2のエッチング終点検出用の不純物を含む絶縁膜、第2の絶縁層をこの順に形成する。これらの絶縁膜は、公知の方法、例えば、スパッタ法、真空蒸着法、EB法、CVD法、プラズマCVD法、スピコート法、ドクターブレード法、ゾルゲル法等の種々の方法を選択して形成することができる。なお、不純物を含む絶縁膜は、絶縁膜を形成した後に、イオン注入、固相拡散又は気相拡散等により不純物を絶縁膜に導入してもよいし、絶縁膜の原料中に不純物を導入して、不純物を含有する絶縁膜を成膜してもよい。

【0014】次いで、第2の絶縁層の表面から第1のエッチング終点検出用の不純物を含む絶縁膜に至る接続孔をエッチングにより形成する。この場合のエッチングは、ウェットエッチング又はドライエッチング等の種々のエッチング法が挙げられるが、ドライエッチングであることが好ましい。エッチングは、少なくとも、第2絶縁膜、第2のエッチング終点検出用の不純物を含む絶縁膜、第1の絶縁膜を完全に貫通し、第1のエッチング終点検出用の不純物を含む絶縁膜のエッチングが確認されたところでエッチングを終了する。第1のエッチング終点検出用の不純物を含む絶縁膜のエッチングの確認は、上述したようなモニタを行い、第1のエッチング終点検出用の不純物の検出を行うことにより、確実かつ簡便に行うことができる。

【0015】次に、接続孔の底部に保護膜を形成する。ここでの保護膜の種類は特に限定されるものではないが、接続孔の底部のみの保護膜の形成、保護膜の除去等を考慮して、有機系の保護膜であることが適当である。保護膜は、接続孔を含む層間絶縁膜上の全面に形成し、接続孔の底部以外の領域に形成された保護膜を、エッチングやリフトオフ法により除去して形成してもよいし、スピコート法等により接続孔の底部にのみ形成してもよい。保護膜の膜厚は特に限定されるものではなく、層間絶縁膜を構成する各層の材料、エッチング条件等によって適宜調整することができる。

【0016】続いて、第2の絶縁層の表面から第2のエッチング終点検出用の不純物を含む絶縁膜に至り、かつ前記接続孔に繋がる溝をエッチングにより形成する。ここでの溝の形成は、上述の接続孔の形成を同様に行うことができる。なお、接続孔と溝とは、いずれを先に形成してもよく、溝を先に形成する場合には、接続孔は、溝内に配置するように形成することが適当である。また、溝を先に形成する場合には、保護膜は、接続孔の底部ではなく、溝の底部に形成することが好ましい。なお、この工程の後、次工程である接続孔及び溝に導電材料を埋め込む前に、接続孔の底部（または溝の底部）に形成さ

6

れた保護膜、第1及び第2のエッチング終点検出用の不純物を含む絶縁膜をほぼ完全に除去することが好ましい。これらの膜は、ウェットエッチング、ドライエッチング等により、適当な条件を選択して除去することができる。

【0017】さらに、接続孔及び溝に導電材料を埋め込む。ここでの導電材料とは、上述した上層配線層で例示された材料膜が挙げられる。導電材料の埋め込みは、導電材料膜を第2の絶縁膜上全面に形成し、第2の絶縁膜の表面が露出するまで導電材料膜をエッチバックすることにより行うことができる。エッチバックは、例えば、CMP法等で行うことができる。なお、接続孔と溝との埋め込みは、同一工程により同一材料膜を用いて行ってもよいし、まず、接続孔を導電材料膜で埋め込み、さらに溝を同一又は異なる導電材料膜で埋め込んでよい。

【0018】以下に、本発明の半導体装置及びその製造方法を図面に基づいて説明する。まず、図1(a)に示すように、半導体基板上に形成された配線層1上に、第1のエッチング終点検出用の絶縁膜2aとして、例えばリンを含むリンシリケートガラス膜(PSG膜、比誘電率:約4)を10~50nm程度の膜厚で形成し、その上に、絶縁膜2として、テトラエトキシシラン(TEOS)ガスとO₂ガスを原料として用いたプラズマ成長による酸化シリコン膜(P-TEOS膜)を膜厚250~750nm程度形成する。さらにその上に、第2のエッチング終点検出用の絶縁膜3aとして、絶縁膜2aと同様のPSG膜を、膜厚10~50nm程度形成し、その上に、絶縁膜3として、絶縁膜2と同様のP-TEOS膜を、膜厚250~750nm程度形成する。その上に、接続孔形成用のレジストパターン4をフォトリソグラフィ工程によって形成する。

【0019】次いで、図1(b)に示すように、レジストパターン4をマスクとして用いて、接続孔5をエッチングにより形成する。この際のエッチングは、ソースパワー/バイアスパワーが2170W/1800W、圧力が20mTorrで、エッチングガスとしてC₅F₈ガス、Arガス、O₂ガスを用いて行う。また、エッチング中は、分光器を用いてプラズマガスの発光強度をモニタし、エッチングが終わりに近い段階である、第1のエッチング終点検出用の絶縁膜2aがエッチングされている時に相当する分光器の発光強度の変化を検出してエッチングの終了を判定する。

【0020】つまり、図2に示したように、PSG膜からなる第1のエッチング終点検出用の絶縁膜2aがエッチングされているときの分光器の発光スペクトルは、P-TEOS膜からなる絶縁膜2をエッチングしているときに比較して、約253nm附近の波長で発光強度が大きい。これは、PSG膜中に含有されるリンの化学電子対波長であり、この波長での発光スペクトルに基づいて、エッチングの終了を判定することができる。続く

7

て、レジストパターン 4 をアッシングにより除去する。

【0021】次いで、図 1 (c) に示すように、接続孔の底部に、有機系の反射防止膜 (BARC) 6 を 1000～4000 rpm 程度で回転塗布により形成する。その後、得られた半導体基板上全面にレジストを塗布し、溝配線形成用のレジストパターン 7 をフォトリソグラフィ工程によって形成する。接続孔 5 の底部に有機系の反射防止膜 6 は、次工程での溝形成のためのエッチング時に、接続孔 5 の底部がエッチングされ、配線層 1 がエッチングされないようにするために形成した。

【0022】次に、図 1 (d) に示すように、溝配線形成用のレジストパターン 7 をマスクとして用いて、溝 8 を形成する。溝 8 の形成は、上記と同様に分光器の発光強度をモニタしながらエッチングし、上記と同様に、第 2 のエッチング終点検出用の絶縁膜 3 a がエッチングされているときに相当する分光器の発光強度の変化を検出して、エッチングを終了することにより行う。続いて、図 1 (e) に示すように、レジストパターン 7 及び接続孔 5 の底部の有機反射膜 6 をアッシングにより除去し、さらに、第 1 の終点検出膜 2 a 及び第 2 の終点検出膜 3 a をエッチングにより除去する。その後、接続孔 5 及び溝 8 に、公知の方法で導電材料を埋め込み、溝配線部の形成を完了する。このように、層間絶縁膜中に、PSG 膜を介在させることにより、エッチングの終点検出を確実に行うことができる。

【0023】

【発明の効果】本発明によれば、層間絶縁膜が、第 1 のエッチング終点検出用の不純物を含む絶縁膜、第 1 の絶縁層、第 2 のエッチング終点検出用の不純物を含む絶縁膜、第 2 の絶縁層がこの順に積層されて構成されてなるため、第 1 及び第 2 の絶縁膜のエッチングストッパーとして、通常用いられるような誘電率が高い窒化シリコン膜を使用することなく、微細化される半導体装置において問題となる層間絶縁膜の低誘電率化を達成することが

8

でき、層間絶縁膜における容量低下を図り、信号遅延や消費電力の増大を防止した半導体装置を得ることが可能となる。

【0024】また、本発明によれば、第 1 及び第 2 の絶縁膜のエッチングにおいて、選択比の差異によるエッチングストップではなく、絶縁膜中に含有される不純物の検出により、エッチングを終了させることが可能となるため、容易、簡便、確実かつ高精度でエッチングの終点を判定することができ、過度のオーバーエッチングを回避することができる。しかも、このようなエッチングの終点判断を行うことに起因して、接続孔や溝内に、エッチング中に生じる反応生成物の残存を防止することができ、これらの反応生成物に起因する電気抵抗の増大や接続不良を回避することが可能となり、信頼性の高い半導体装置を、歩留まり向上、製造コストの低減を図りながら製造することができる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の製造方法を説明するための要部の概略断面製造工程図である。

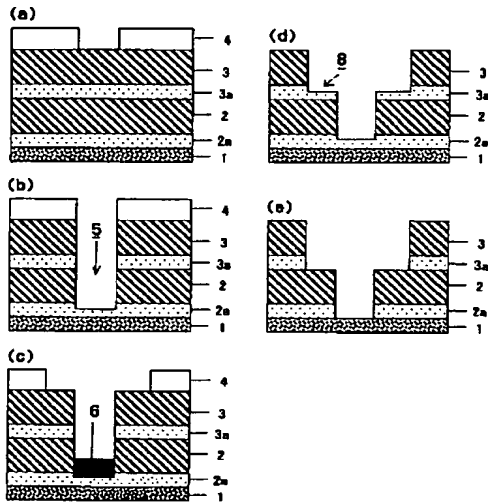
【図 2】本発明の半導体装置の製造方法における層間絶縁膜エッチング時の分光器による発光スペクトルである。

【図 3】従来の半導体装置の製造方法を説明するための要部の概略断面製造工程図である。

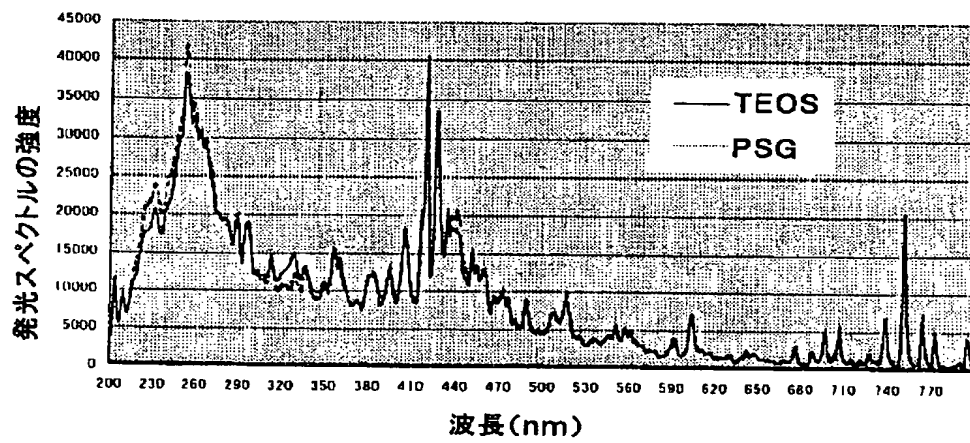
【符号の説明】

- 1 配線層
- 2 a 第 1 のエッチング終点検出用の絶縁膜
- 2、3 絶縁膜
- 3 a 第 2 のエッチング終点検出用の絶縁膜
- 4、7 レジストパターン
- 5 接続孔
- 6 反射防止膜
- 8 溝

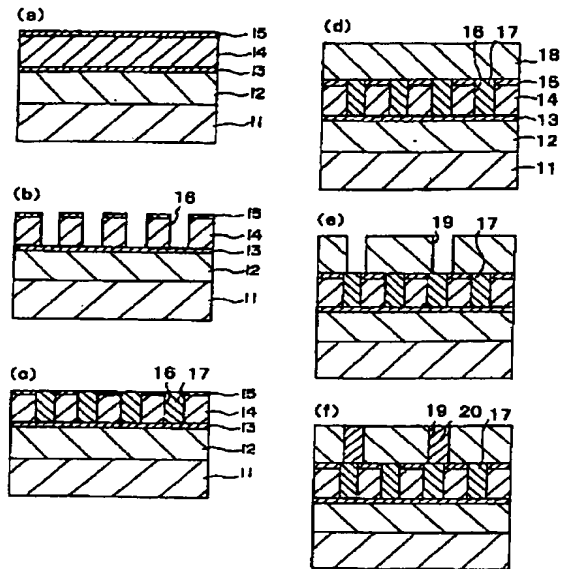
【図1】



【図2】



【図 3】



フロントページの続き

Fターム(参考) 5F004 CB02 CB15 DA00 DA23 DA26
 DB03 DB04 EA01 EA28 EB01
 5F033 HH00 JJ00 KK00 MM02 QQ02
 QQ09 QQ10 QQ11 QQ37 RR04
 RR14 SS04 SS15 TT02 XX09
 XX24
 5F058 BA20 BD02 BD04 BD06 BD07
 BF01 BF07 BF12 BF17 BF25
 BF29 BF46 BH12 BH15 BJ02